

CLIPPEDIMAGE= JP362126668A

PAT-NO: JP362126668A

DOCUMENT-IDENTIFIER: JP 62126668 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 8, 1987

INVENTOR-INFORMATION:

NAME

HIRAMOTO, TAKAHIRO

MAJIYUUMUDAARU, GOORABU

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP60268446

APPL-DATE: November 27, 1985

INT-CL (IPC): H01L029/68;H01L029/52 ;H01L029/78

US-CL-CURRENT: 257/329,257/341 ,257/E29.133 ,257/E29.198

ABSTRACT:

PURPOSE: To expand the range of gate control and to obtain a semiconductor device for high power, high speed, high frequency switching, which can be driven excellently at a low voltage, by making an oxide film on a second-conductivity base region thin beneath a gate electrode, and making the oxide film thick on a part between the second-conductivity type base regions beneath the gate electrode.

CONSTITUTION: A first-conductivity type, low impurity concentration semiconductor layer 6, which is to become a drain layer, is formed on one

surface of a first-conductivity type, high impurity concentration semiconductor substrate 100. A plurality of second-conductivity type base regions 5 are formed on the surface of the layer 6 in an island shape. A first-conductivity type high impurity concentration semiconductor region 4, which is to becomes a source region, is formed on the surface of each region 5. An oxide film 300 is formed on a part between said base regions 5 and on a part of each base region 5. A gate electrode 2 is provided on the layer 300. In this MOS type field effect transistor, the thickness of the oxide film 300 beneath the gate electrode 2 is made as follows: a part on each base region 5 is thin; and a part between the base regions 5 is thick. On the other surface of the substrate 100, second-conductivity type high impurity concentration semiconductor regions 70 are partially formed in correspondence with the semiconductor regions 4. The top of each region 70 is separated by a specified interval.

COPYRIGHT: (C)1987, JPO&Japio

## ⑪ 公開特許公報 (A) 昭62-126668

⑤Int.Cl.<sup>4</sup>  
H 01 L 29/68  
29/52  
29/78

識別記号 庁内整理番号  
8526-5F  
8422-5F 審査請求 未請求 発明の数 1 (全 6 頁)

⑥公開 昭和62年(1987)6月8日

⑦発明の名称 半導体装置

⑧特願 昭60-268446

⑨出願 昭60(1985)11月27日

⑩発明者 平元 隆裕 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内  
⑪発明者 マジュームダール・ゴーラブ 伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内  
⑫出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号  
⑬代理人 弁理士 大岩 増雄 外2名

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

ドレイン層となる高不純物濃度の第1導電形半導体基板と、

前記基板の一方表面に形成され、ドレイン層となる低不純物濃度の第1導電形半導体層と、

前記第1導電形半導体層表面に島状に形成される複数個の第2導電形ベース領域と、

前記第2導電形ベース領域表面に形成され、ソース領域となる高不純物濃度の第1導電形半導体層と、

前記第2導電形ベース領域間上および前記第2導電形ベース領域の一部上に形成される酸化膜層と、

前記酸化膜層上に設けられるゲート電極とを備えるMOS型電界効果トランジスタにおいて、

前記ゲート電極下の酸化膜層は、前記第2導電形ベース領域上の厚みが薄く、かつ前記第2導電

形ベース領域間上の厚みが厚くされ、

前記基板の他方表面に前記第1導電形半導体領域に対応して、高不純物濃度の第2導電形半導体領域が部分的に形成され、該第2導電形半導体領域の頂部は前記第1導電形半導体層と所定の間隔を隔てるようになされたことを特徴とする半導体装置。

## 3. 発明の詳細な説明

## [産業上の利用分野]

この発明は半導体装置に関し、特に大電力高速高周波スイッチング素子をモノリシックで実現した半導体装置に関するものである。

## [従来の技術]

従来から低オン抵抗の大電力高速高周波スイッチング素子としていくつかのものが用いられており、たとえば第3図に示すようなものがあった。

第3図は、従来のモノリシックに構成された伝導度変調金属酸化膜半導体電界効果トランジスタ(以下、CAT素子と称す)の構造を示す断面図である。初めに、このCAT素子の構成について

説明する。第3図において、CAT素子の構成は、従来の二重拡散で作られる金属酸化膜半導体電界効果トランジスタ（以下、MOSFETと称す）のn+形ドレイン基板をp+形ドレイン／コレクタ層で置換えたものである。

さらに詳細に説明すると、p+形ドレイン／コレクタ層7の一方表面には、たとえばn形エピタキシャル層からなるドレインドリフト層6が形成されている。ドレインドリフト層6表面には、複数のp形ベース領域5が互いに間隔を隔てて形成されており、p形ベース領域5内のその表面には、2個のn+形ソース／エミッタ領域4が互いに間隔を隔てて形成されている。そして、p形ベース領域5間のドレインドリフト層6表面、p形ベース領域5の周辺部の表面、およびn+形ソース／エミッタ領域4表面の一部には、たとえば二酸化シリコンからなる酸化膜3が形成されている。

そして、酸化膜3の内部に、金属からなるゲート電極2が形成されており、このゲート電極2はn+形ソース／エミッタ領域4上まで延びている。

- 3 -

npnトランジスタとpnpトランジスタとから構成されるサイリスタとを組合わせたものになる。

次に、このCAT素子の動作について説明する。ゲート電極端子Gとソース／エミッタ電極端子S／Eとを短絡してドレイン／コレクタ電極端子D／Cとソース／エミッタ電極端子S／E間に逆バイアス電圧を印加すると、pinダイオードD<sub>2</sub>が逆バイアスになり、逆バイアス阻止特性が現われる。

また、ドレイン／コレクタ電極端子D／Cとソース／エミッタ電極端子S／E間に順バイアスを印加すると、ダイオードD<sub>1</sub>が逆バイアスになり、順バイアス阻止特性が現われる。この状態で、ゲート電極端子Gとソース／エミッタ電極端子S／E間にMOSFETのしきい値電圧以上の電圧を印加すると、p形ベース領域5にチャンネルが形成されてMOSFETが動作する状態になると同時に、ダイオードD<sub>2</sub>はpinダイオードと同様な動作現象を起こし、p+形ドレイン／コレクタ層7からドレインドリフト層6へホールが注入され

- 5 -

また、n形ベース領域5の中央部表面、n+形ソース／エミッタ領域4表面の他の一部、および酸化膜3表面には、ソース／エミッタ電極1が形成されている。

ここで、n+形ソース／エミッタ領域4とp形ベース領域5とドレインドリフト層6とはMOSFETに寄生するnpnトランジスタを構成し、p形ベース領域5とドレインドリフト層6とp+形ドレイン／コレクタ層7とはCATに寄生するpnpトランジスタを構成している。さらに、p+形ドレイン／コレクタ層7の他方表面には、ドレイン／コレクタ電極8が形成されている。また、Gはゲート電極端子、S／Eはソース／エミッタ電極端子、D／Cはドレイン／コレクタ電極端子である。

第4図は、第3図のCAT素子の等価回路を示す図である。CAT素子の等価回路は、理想的な電流の流れから言えば、MOSFETとpinダイオードD<sub>2</sub>とを直列に接続したものになるべきであるが、実際はMOSFETと、これに寄生する

- 4 -

てドレインドリフト層6の伝導度が増大し、CAT素子が此オン抵抗でターンオンする。

なお、十分なターンオン主電流を流すためには、ゲート電極端子Gとソース／エミッタ電極端子S／E間に印加する電圧は、10～15V程度の高い値でなければならない。（この値は従来の設計基準で形成されたゲート酸化膜の厚みによって規定される。）したがって、制御回路（マイクロコンピュータ、TTL、CMOS）用の5V電源系だけでは使用不可能で10～15Vの別電源を必要とし、回路が複雑となる。

また、CAT素子をターンオフするためには、ゲート電極端子Gとソース／エミッタ電極端子S／Eとを短絡して、これら端子間に印加されている電圧をMOSFETのしきい値電圧以下にし、これによって、ゲート電極2下のp形ベース領域5表面の反転領域を元に戻してドレインドリフト層6への電子の供給を止める。ターンオフの開始時には、ドレインドリフト層6にそれまでの間に注入された電子が大嵐に集中しているが、これら

- 6 -

の電子は $p^+$ 形ドレイン／コレクタ窓7に注入され、それに見合ったホールによる電流が $p$ 形ベース領域5に流れる。このような状態が続くと、ドレインドリフト窓6の電子の集中度は低下するが、CAT 素子がターンオフするためには残されたホールと電子のプラズマは再結合によって打ち消し合わなければならない。

以上は、CATに寄生するサイリスタ領域がターンオン時にラッチングしない場合でのCAT素子の動作の説明であるが、CAT素子の1番大きな問題点はサイリスタ領域が低電流レベルでラッチング現象を起こすことと高ドライブ電圧回路が必要であることである。

サイリスタ領域がラッチングを起こすとCAT素子のゲート制御能力がなくなってしまうこれをターンオフするのが困難になる。ラッチング現象を起こす原因は、ターンオン時に高電流密度でサイリスタ領域のnpnトランジスタおよびpnpトランジスタが相互にフィードバック作用をするためである。サイリスタ領域がターンオン時にラッチングする

- 7 -

条件は、npnトランジスタおよびpnpトランジスタのそれぞれの直流通増幅率 $\beta_{FE}$ の合計が>1であり、ホール電流によるnpnトランジスタの $p$ 形ベース領域5の抵抗 $R_S$ での電圧降下 $V_S$ が300°Kで0.4~0.8V以上になる場合である。

第5図は上述のようなCATに寄生するサイリスタのラッチングに関する問題点を或るレベルまで解決した他のCAT素子の構造を示す断面図である。第5図において、 $p$ 形ベース領域5の中央部には、不純物濃度の高い $p^+$ 形ベース中央領域50が形成されており、ドレインドリフト窓6と $p^+$ 形ドレイン／コレクタ窓7間に、 $n^+$ 形バッファ窓9が挿入されている。また、このCAT素子の等価回路は第4図に示す回路と同じである。

この実施例では、 $p^+$ 形ベース中央領域50により寄生npnトランジスタの直流通増幅率 $\beta_{FE}$ を下げ、かつ $n^+$ 形バッファ窓9により $p^+$ 形ドレイン／コレクタ窓7からドレインドリフト窓6へのホールの注入を抑えて寄生pnpトランジス

- 8 -

タの直流通増幅率 $\beta_{FE}$ を下げるによつて、CAT素子がターンオン時にラッチングしにくくするようにしている。すなわち、第3図のCAT素子に比べてラッチングする電流レベルを上げている。

[発明が解決しようとする問題点]

大電力高周波スイッチング素子として用いられている従来のCAT素子は、ゲート酸化膜の厚みが厚いので、ターンオン時に十分なコレクタ／ドレインオン電流を流すのに高ドライブ電圧を必要とし、かつCATに寄生するサイリスタ領域のラッチングする電流レベルが低く、CAT素子を正常に動作させるにはラッチングする電流レベル以下で使用する必要があり、そのゲート制御範囲が狭いという問題点があった。

それゆえに、この発明は上述のような問題点を解消するためになされたもので、MOSFETに寄生するサイリスタ領域のラッチングする電流レベルを上げてゲート制御範囲を広げるとともに、低電圧(±5V)で良好にドライブすることができる大電力高周波スイッチング用半導体装置

を得ることを目的とする。

#### [問題点を解決するための手段]

この発明に代わる半導体装置は、高不純物濃度の第1導電形ドレイン半導体基板と、この基板の一方表面に形成される低不純物濃度の第1導電形ドレイン半導体窓と、この第1導電形ドレイン半導体窓表面に島状に形成される複数個の第2導電形ベース領域と、この第2導電形ベース領域表面に形成される高不純物濃度の第1導電形ソース半導体領域と、第2導電形ベース領域の一部上に形成される酸化膜と、この酸化膜上に設けられるゲート電極とを備えるMOS型電界効果トランジスタにおいて、ゲート電極下であって第2導電形ベース領域上の酸化膜を薄くし、かつゲート電極下であって第2導電形ベース領域間上の酸化膜の厚みを厚くするとともに、上述の基板の他方表面に第1導電形ソース半導体領域に対応して高不純物濃度の第2導電形半導体領域を部分的に形成し、この第2導電形半導体領域の頂部を第1導電形ドレイン半

- 9 -

- 10 -

導体層と間隔を隔てるようとしたものである。

[作用]

この発明においては、ゲート電極下であって、第2導電形ベース領域上の酸化膜層の厚みを薄くしたことによって、4～5V程度の電圧で十分な動作が可能であり、かつゲート電極下であって第2導電形ベース領域間上の酸化膜層の厚みを十分厚くすることによってゲートドレイン間容量およびゲートソース間容量の和である入力容量、ゲートドレイン間容量およびドレインソース間容量の和である出力容量およびミラー効果によるゲートドレイン間のリバーストランスマッタ容量を小さくすることができるので、小さい電力で駆動することができるとともにターンオン、ターンオフ時間を短くすることができる。

また、高不純物濃度の第1導電形ドレイン半導体基板の他方表面に高不純物濃度の第2導電形半導体領域を高不純物濃度の第1導電形ソース半導体領域に対応して部分的に形成し、この第2導電形半導体領域の頂部を第1導電形ドレイン半導体

- 11 -

タ図10の一方表面には、ドレインドリフト層6が形成されている。 $n^+$ 形ドレイン／コレクタ層10の他方表面であって、各 $p^+$ 形ソース／エミッタ領域4直下には $p^+$ 形ドレイン／コレクタ領域70が部分的に形成されており、この $p^+$ 形ドレイン／コレクタ領域70の頂部はドレインドリフト層6表面と間隔を隔てている。この間隔は $n^+$ 形バッファ層100を形成している。また、第5図と同様、 $p$ 形ベース領域5の中央部には、 $p^+$ 形ベース中央領域50が形成されている。

さらに、ゲート電極は、 $p$ 形ベース領域上の酸化膜層3の厚みが薄く、かつ $p^+$ 形ベース領域間の領域11上の酸化膜層300の厚みが厚くなるような形状を有する。

第1図において、 $n^+$ 形ソース／エミッタ領域4と $p$ 形ベース領域5、 $p^+$ 形ベース中央領域50とドレインドリフト層6、 $n^+$ 形ドレイン／コレクタ層10とはMOSFETに寄生するnppトランジスタを構成し、 $p$ 形ベース領域5、 $p^+$ 形ベース中央領域50とドレインドリフト層6、 $n^+$

層と間隔を隔てるようとしたので、第2導電形半導体領域から第1導電形ドレイン半導体層へのキャリアの注入が抑制され、MOSFETに寄生するトランジスタの直流電流増幅率 $\beta$ が下がる。さらに、部分的に形成された第2導電形半導体領域から第1導電形ドレイン半導体層にキャリアが効率的に注入されるので、第1導電形ドレイン半導体層の伝導度は従来と同程度に変調される。

[実施例]

以下、この発明の実施例を図について説明する。なお、この実施例の説明において、従来の技術の説明と重複する部分については適宜その説明を省略する。

第1図はこの発明の実施例であるモノリシックに構成されたCAT素子の構造を示す断面図である。この実施例の構成は以下の点を除いて第3図の構成と同じである。すなわち、ドレイン／コレクタ電極8表面には、 $p^+$ 形ドレイン／コレクタ層7の代わりに $n^+$ 形ドレイン／コレクタ層10が形成されており、この $n^+$ 形ドレイン／コレク

- 12 -

$+$ 形ドレイン／コレクタ層10と $p^+$ 形ドレイン／コレクタ層7とはCATに寄生するnppトランジスタを構成し、これら両トランジスタは寄生サイリスタ領域を構成しているが、後で説明するようにこの寄生サイリスタ領域はターンオン時にラッチングしないので、第1図に示すCAT素子の等価回路は第2図に示すものになる。

第2図において、このCAT素子の等価回路はゲート電極端子Gとドレイン／コレクタ電極端子D／C間にpinダイオードD<sub>2</sub>が寄生するnチャネルMOSFETとなっている。

次に、このCAT素子の動作について説明する。

まず、ドレイン／コレクタ電極端子D／Cとソース／エミッタ電極端子S／E間にゲートしきい値電圧より高いレベルの電圧(4～5V)を印加すると素子がターンオンする。4～5Vの小さな電圧でターンオン可能であるのはゲート酸化膜3(チャンネルの真上)の厚みを薄くしており、かつゲート酸化膜の中央部分300を厚くしているためにゲートドレイン間容量とゲートソース間容

- 14 -

量とからなる入力容量、ゲートドレン間容量およびドレンソース間容量からなる出力容量およびゲートトイレン間のミラー効果によるリバーストランസファ容量が小さいためである。

$p^+$  形ドレン／コレクタ領域 7 0 が各  $n^+$  形ソース／エミッタ領域 4 直下の  $n^+$  形トイレン／コレクタ層 1 0 の他方表面に部分的に形成されており、かつこの  $p^+$  形ドレン／コレクタ領域 7 0 の頂部表面には、 $n^+$  形バッファ層 1 0 0 が形成されているため、 $p^+$  形ドレン／コレクタ領域 7 0 ( $pnp$  トランジスタの  $p^+$  エミッタ) からドレインドリフト層 6 へホールが部分的に注入されるとともに、この注入が  $n^+$  形バッファ層 1 0 0 により抑制される。このため、寄生  $pnp$  トランジスタのベース領域の給送効率が低下して、その直流電流増幅率  $h_{FE}$  が従来の CAT 素子に比べて大幅に下がる。また、 $p^+$  形ドレン／コレクタ領域 7 0 からのホールはドレインドリフト層 6 を上方に向かって流れ、ホールの大部分は不純物濃度の高い  $p^+$  形ベース中央領域 5 0 に、その一

- 1 5 -

トレインドリフト層 6 の伝導度変調については、 $n^+$  形ソース／エミッタ領域 4 直下の部分で発生させるのが効果的であり、 $p^+$  形ベース中央領域 5 0 直下での伝導度変調は不要である。このために、 $p^+$  形ドレン／コレクタ領域 7 0 を  $n^+$  形ソース／エミッタ領域 4 直下にのみ部分的に形成して、 $p^+$  形ドレン／コレクタ領域 7 0 からドレインドリフト層 6 へのホールの注入を効率的に行なうようにしており、これによって、従来の CAT 素子と同等の伝導度変調効果を得ることができるとともにオン電圧を低くすることができる。

また、従来の CAT 素子においては、 $p^+$  形ドレン／コレクタ層 7 がドレインドリフト層 6 の全層にわたって形成されているため、ターンオフ時においては、ターンオン時にドレインドリフト層 6 に蓄積されたホールが  $p^+$  形ドレン／コレクタ層 7 でブロックされて抜けにくかったが、この CAT 素子においては、ホールが  $p^+$  形ドレン／コレクタ領域 7 0 でブロックされるものの、そのまわりの  $n^+$  形ドレン／コレクタ層 1 0 に

- 1 7 -

部分は  $p^+$  形ベース領域に達してソース／エミッタ電極 1 に抜ける。このため、ホール電流によるベース領域の  $R_s$  での電圧降下  $V_{BE}$  は従来の CAT 素子に比べて小さくなる。このように、この CAT 素子においては、寄生  $pnp$  トランジスタの直流電流増幅率  $h_{FE}$  が下がり、かつ寄生  $pnp$  トランジスタの  $p^+$  形ベース領域および  $p^+$  形ベース中央領域 5 0 での電圧降下  $V_{BE}$  が小さくなるため、従来の CAT 素子でのラッチングする電流レベルでは寄生サイリスタ領域がラッチングしなくなる。すなわち、従来の CAT 素子に比べてラッチングする電流レベルが上がることになる。このため、CAT 素子のターンオフが容易になって高速高周波スイッチング特性が向上する。

また、この CAT 素子では、上述のようにラッチングする電流レベルが上がるため、従来の CAT 素子に比べてゲート制御範囲が広くなり、またその分 CAT 素子の高電流密度化が可能となるので、チップサイズを小さくして CAT 素子の小型化および低コスト化を図ることができる。

- 1 6 -

容易に抜けることができるので、CAT 素子のターンオフ動作が容易となって高速高周波スイッチング特性が向上する。

なお、上述の実施例では、CAT 素子が  $n$  型のものについて示したが、この発明は第 1 図の各層、各領域の導電形を反対にした  $p$  形の CAT 素子についても適用できることは言うまでもない。

#### [発明の効果]

以上のように、この発明によれば、ゲート電極下であって第 2 導電形ベース領域上の酸化膜層の厚みを薄くしたことによって、4 ~ 5 V 程度の電圧で十分な動作が可能で、かつゲート電極下であって第 2 導電形ベース領域間に酸化膜層の厚みを十分厚くすることによって、入力容量、出力容量およびリバーストランസファ容量を小さくすることができるため小さい電力で駆動することができるとともにターンオン、ターンオフ時間を短くすることができる。

また、高不純物濃度の第 1 導電形ドレン半導体基板の他方表面に高不純物濃度の第 2 導電形半

- 1 8 -

基体領域を高不純物濃度の第1導電形ソース半導体領域に対応して部分的に形成し、この第2導電形半導体領域の頂部を第1導電形ドレイン半導体層と間隔を隔てるようとしたので、MOSFETに寄生するサイリスタ領域のラッチングする電流レベルが上がるためゲート制御範囲の広い半導体装置を得ることができる。

## 4. 図面の簡単な説明

第1図はこの発明の一実施例のモノリシックに構成されたCAT素子の構造を示す断面図である。第2図は第1図のCAT素子の等価回路を示す図である。第3図は従来のモノリシックに構成されたCAT素子の構造を示す断面図である。第4図は従来のCAT素子の等価回路を示す図である。第5図は従来のモノリシックに構成された他のCAT素子の構造を示す断面図である。

図において、1はソース／エミッタ電極、2はゲート電極、3および300は酸化膜、4はn<sup>+</sup>形ソース／エミッタ領域、5はp形ベース領域、6はp<sup>+</sup>形ベース中央領域、70はp<sup>+</sup>形ドレイン／コレクタ領域、8はドレイン／コレクタ電極、10はn<sup>+</sup>形ドレイン／コレクタ層、11はp<sup>+</sup>形ドレイン／コレクタ層、100はp<sup>+</sup>形ベース層を示す。

フット層、70はp<sup>+</sup>形ドレイン／コレクタ領域、8はドレイン／コレクタ電極、10はn<sup>+</sup>形ドレイン／コレクタ層、11はp<sup>+</sup>形ベース領域間の領域、100はp<sup>+</sup>形バッファ層を示す。

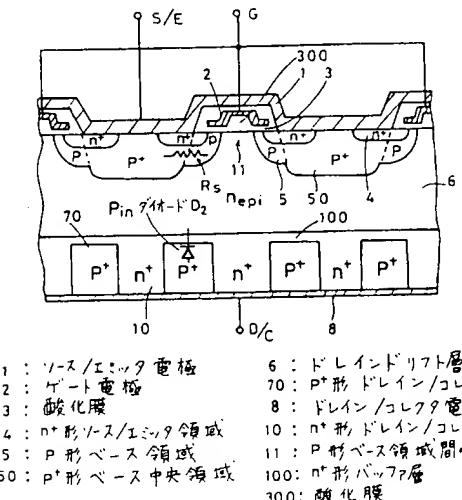
なお、図中、同一符号は同一または相当部分を示す。

代理人 大岩 増雄

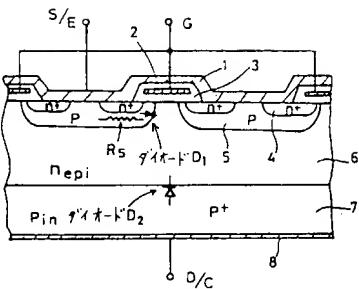
- 19 -

- 20 -

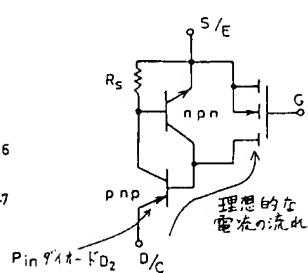
第1図



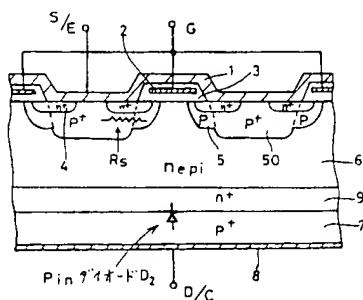
第3図



第4図



第5図



第2図

